

Service-Anleitung für den Kleincomputer KC 85/4

**Ausgabe:
Hersteller:**

**12/88
VEB Mikroelektronik „Wilhelm Pieck“
Mühlhausen
im VEB Kombinat Mikroelektronik**

DDR
**Eisenacher Str. 40
Mühlhausen
5 7 0 0**

Inhaltsverzeichnis

	Seite	
1.	Allgemeine Vorbemerkungen	3
2.	Baugruppenbeschreibung	3
2.1.	Netzteil	3
2.2.	Tastatur	3
2.3.	Computerleiterplatte	4
2.3.1.	ZVE – E/A-Steuerung	4
2.3.2.	ROM/RAM	6
2.3.3.	BWS/VTG	7
2.3.3.1.	Bildschirmorganisation	7
2.3.3.2.	Schaltungsbeschreibung	8
2.4.	Videoleiterplatte	10
2.5.	Modulator	10
2.5.1.	Allgemeines	10
2.5.2.	Technische Daten	10
2.5.3.	Aufbau und Wirkungsweise	10
2.5.4.	Abgleich	10
3.	Reparaturhinweise	11
3.1.	Lötbrückenübersicht	11
3.2.	Hinweise zu einzelnen Baugruppen	12
3.2.1.	ZVE – E/A-Steuerung	12
3.2.2.	ROM/RAM	12
3.2.3.	BWS/VTG	13

1. Allgemeine Vorbemerkungen

Der Kleincomputer KC 85/4 stellt eine Weiterentwicklung des KC 85/3 dar. Die wesentlichsten Unterschiede liegen in einer Vergrößerung des ROM- und des Arbeitsspeicherbereiches und in Verbesserungen im Bereich der Bilddarstellung. Die grundlegende Gerätekonzeption wurde aber im Interesse weitgehender Hard- und Softwarekompatibilität zu den Vorgängertypen beibehalten. Weil in den für die Instandsetzung vom KC 85/4 vorgesehenen Werkstätten bereits Unterlagen und Erfahrungen zu den Vorgängertypen vorhanden sind, ist es im Rahmen dieser Serviceanleitung nicht erforderlich, alle Baugruppen umfassend zu beschreiben. Bei Netzteil, Tastatur und Videoleiterplatte gibt es nur geringfügige Unterschiede. Nur die Baugruppen der Computerleiterplatte erfordern eine ausführliche Beschreibung. Die Reparaturstrategie stimmt weitgehend mit der des KC 85/3 überein. Allerdings ist hierbei zu beachten, daß sich die Schaltkreisbestückung und die Anordnung der Baugruppen auf der Leiterplatte verändert haben, so daß konkret für den KC 85/3 angegebenen Bauelemente- und Pin-Nummern auf der Computerleiterplatte keine Gültigkeit mehr haben und aus dem Stromlaufplan das in seiner Funktion zum 85/3 äquivalente Bauelement zu entnehmen ist.

2. Baugruppenbeschreibung

2.1. Netzteil

Das Netzteil ist weitgehend mit dem des KC85/3 identisch. Auf Grund des größeren Strombedarfs bei der Spannung 5P war es erforderlich, bei der Diode VD05 einen anderen Typ (SY710) einzusetzen. Weil gleichzeitig die Belastung bei 12P geringer wird, hat das auf die Auslegung des Trafos und der Rohspannungserzeugung keinen Einfluß. Zur Reduzierung der elektromagnetischen Störstrahlung hat es sich als günstig erweisen, die Netzteilmasse vom Computergehäuse zu trennen. Aus diesem Grund sitzen die Nietmutter zur Befestigung der Netzteilleiterplatte isoliert und nicht mehr in Masseflächen wie beim KC85/3.

2.2. Tastatur

Die Tastatur des KC85/4 ist fast völlig mit der bei den Vorgängertypen verwendeten identisch. Der wesentlichste Unterschied besteht in der Verwendung eines Diodensteckers statt des Klinkensteckers und der Umstellung auf einen anderen Kabeltyp. Hierdurch wurde es möglich, im Interesse der Störsicherheit des Systems die Kabelschirmung von der signal- und betriebsstromführenden Masse zu trennen. Weiterhin werden die Zuverlässigkeitsprobleme an der Verbindungsstelle Kabel-Klinkenstecker (Innenleiterunterbrechungen, Kurzschlüsse) beseitigt.

Auf Grund der weitgehenden Übereinstimmung beider Tastaturen ist es möglich, an den Reparaturplätzen vorhandene KC85/2 bzw. -/3-Tastaturen für den KC85/4 weiter zu verwenden. Hierzu kann man sich einen Adapter anfertigen, der aus einer Klinkenbuchse, einem Diodenstecker und einem kurzen Verbindungskabel besteht.

2.3. Computerleiterplatte

2.3.1. ZVE E/A-Steuerung

Zur Baugruppe ZVE/EAS gehören die CPU selbst, Daten-, Adreß- und Steuerleitungstreiber, Takttreiber, Reset-Logik, I/O-Adreßdekoder, PIO, CTC, Ausgaberegister zur Speicherverwaltung und der Analogteil für die Tonausgabe, Kassetten- und Tastaturinterface.

Im Unterschied zu den Vorgängertypen ist bei KC85/4 für den geräteinternen Datenbus ein bidirektionaler Bustreiber (DS8286D) eingesetzt. Am Expansionsinterface und an den Modulschächten liegt weiterhin der ungetriebene (direkt von der CPU kommende) Bus an. Bei einem bidirektionalen Bustreiber muß in Abhängigkeit davon, ob CPU-seitig eine Schreib- oder Leseoperation vorliegt, die Übertragungsrichtung umgeschaltet werden. Hierzu wird das Signal DIR erzeugt. (DIR = L -> zur CPU hin, DIR = H -> von CPU weg). Im Adreßtreiber findet der Treiberschaltkreis DL541 Verwendung. Beide bisher genannten Treiberschaltkreistypen haben die Möglichkeit, daß sich mit output enable – Eingängen die Datenausgänge hochohmig (Tristate) schalten lassen. Beim Datentreiber läßt sich diese Möglichkeit durch Entfernen einer Kurzschlußbrücke (RB3002) für Prüfzwecke ausnutzen. Beim Adreßtreiber wird diese Möglichkeit für die Adreßumschaltung beim Systemstart (Startadresse E000H bzw. F000H) ausgenutzt. Zu diesem Zweck sind für die Adreßbits 8 bis 15 zwei Treiberschaltkreise ausgangsseitig parallel geschaltet (D3003 und D3026), deren OE-Eingänge im Wechsel aktiviert werden können. D3026, der unmittelbar nach dem Reset aktiviert ist, ist eingangsseitig fest mit dem Byte 0E0H bzw. 0F0H (umschaltbar mit dem Signal AFE) belegt. Nach der Abarbeitung des ersten Sprungbefehles (JP 0E003H) erfolgt die Umschaltung auf den zweiten Treiber (D3003), an dessen Eingängen die „normalen“ CPU-Adressen anliegen.

Bei den Steuerleitungstreibern wurde die Lösung mit Einzelgattern beibehalten, weil in einigen Fällen negierte und nichtnegierte Signale benötigt werden (z.B. iorq und /iorq). Für den Takttreiber wurde statt des D204D ein neuer Schaltkreistyp eingesetzt (U74HCT04). Dieser hat die Eigenschaft, daß er auch ohne zusätzliche Maßnahmen (Pull-up-Widerstand oder Transistorstufe) vollen High-Pegel ($U \geq 4,8V$) liefert. Zur Aufbringung der nötigen Treiberstromstärke wurden mehrere Gatter ein- und ausgangsseitig parallel geschaltet. Der Widerstand R53 (22 Ohm mit Ferritperlen auf beiden Anschlußdrähten) dient zur Störungsunterdrückung. Der für das Tasten-Reset zuständige Teil der Reset-Logik wurde gegenüber dem KC85/3 verändert, um die dort vorhandenen Schwachstellen zu beseitigen (Prellen der Reset-Taste, nicht exakt definierte Breite des Reset-Impulses, fehlender zeitlicher Bezug zu den Prozessorsignalen).

Das Prellen der Taste wird durch ein aus zwei Gattern des Schaltkreises D3011 gebildetes Flip-Flop unterdrückt. Durch den mit dem Prozessortakt angesteuerten Zähler D3015 wird mit dem Umschalten des Q4-Ausganges die Breite des Reset-Impulses festgelegt. Der definierte zeitliche Bezug des Reset-Signales zu den Prozessorsignalen wird durch das mit m1 (vom Prozessorsignal /M1 abgebildet) getaktete Flip-Flop D3012 hergestellt.

Die Adreßumschaltung für den Betriebssystemanlauf erfolgt wie beim KC85/3 durch Abzählen der nach dem Reset folgenden /M1-Impulse. Im Unterschied zum KC85/3 werden aber hierfür nicht zwei D-Flip-Flop verwendet, sondern der zweite in D3015 enthaltene Zähler (Umschaltung beim Erreichen des Zählerstandes 2). Die AFE-Leitung zur Unterscheidung der Adressen beim Warm- (E000H) und beim Kaltstart (F000H) wird vom Flip-Flop der Tastenentprellung (D3011) angesteuert.

Als Dekoder für die im System erforderlichen I/O-Adressen wird ein in der Form 256x4 Bit organisierter PROM (D3005, Typ MH74S287) eingesetzt. Neben den Chipselektsignalen für PIO (Adressen 88H bis 8BH) und CTC (Adressen 8CH bis 8FH) wird ein Signal zur Ansteuerung von zusätzlichen Ausgaberegistern (Adreßbereich 84H bis 87H) und ein Signal für die Richtungssteuerung des Datentreibers (/ioac) bereitgestellt.

Wie aus den technischen Daten ersichtlich ist, ist beim KC85/4 ein gegenüber den Vorgängertypen vergrößerter Speicherbereich zu verwalten. Die Verwaltung der zusätzlichen Speicherblöcke erforderte zwei zusätzliche Ausgabeports, die mit 8fach D-Flip-Flop vom Typ DL374D realisiert wurden.

D3008 (Adresse 84H) dient zur Steuerung des Bildwiederholerspeichers und zur Auswahl der auf den Adreßbereichen ab 8000H gelegten Blöcke des Arbeitsspeichers (RAM-Disk). Das Signal „Bild“ dient zur Auswahl des darzustellenden Bildes. Mit BLA0 und BLA1 wird der Bildspeicherblock ausgewählt, auf welchen der Prozessor zugreifen kann. Mit dem Signal FPIX wird der Farbdarstellungsmodus umgeschaltet (FPIX=L – hohe Farbauflösung, FPIX=H – normale Farbauflösung).

D3009 (Adresse 86H) ist für die Steuerung des RAM-Blockes ab 4000H (Ein/Aus, Schreibschutz) und für die ROM-Verwaltung vorgesehen.

Im Unterschied zur PIO ist beim D374 kein „Zurücklesen“ des zuletzt ausgegebenen Datenwortes möglich. Aus diesem Grund muß von der Software das an die Adressen (84H bzw. 86H) ausgegebene Datenwort auch in die dafür vorgesehenen Zellen des IX-Speicherbereiches eingeschrieben werden (siehe Softwaredokumentation).

In der E/A-Steuerung wird im Unterschied zum KC85/3 statt des 2fach-Operationsverstärkers ein 4fach-Operationsverstärker eingesetzt. Die zwei zusätzlichen Verstärkersysteme werden statt der im 85/3 enthaltenen Transistorstufe zur Realisierung des aktiven Tiefpaßfilters, welches durch das Fernsehgerät bedingte Störungen (Zeilen- und Schaltnetzteilfrequenz) unterdrücken soll, eingesetzt. Gleichzeitig wurde die Filtergrenzfrequenz von 3 auf etwa 9 kHz erhöht, um die Anwendung schnellerer Laderoutinen zu ermöglichen. Das bei den Vorgängertypen bewährte Hochpaßverhalten des Eingangsteiles (untere Grenzfrequenz 1 kHz) wurde beibehalten. Nach dem Filterteil folgen wie bisher Komparator (jetzt mit einer Hysterese im Millivoltbereich zur Unterdrückung des Rauschens bei leeren Bandstellen) und Monoflop.

Zur Vermeidung von Komplikationen bei der Interruptbearbeitung wurde das Monoflop-Ausgangssignal mit ARDY verknüpft. Diese Maßnahme findet sinngemäß auch beim Tastaturkanal Anwendung. An die Flip-Flops für die Tonausgabe (Schaltkreis D3023) ist zusätzlich das Signal trück herangeführt, durch welches beide Flip-Flops vor Beginn der Tonausgabe in eine definierte Ausgangslage zurückgesetzt werden. Hierdurch wird eine gegenseitige Auslöschung beider Tonkanäle vermieden, falls sie mit gleicher Frequenz angesteuert werden.

Ein weiterer Unterschied des KC85/4 gegenüber den Vorgängertypen liegt in der Ansteuerung des Piezosummers. Eine Tonwiedergabe über diesen ist nur möglich, wenn mindestens eine Lautstärkestufe aktiviert ist. Hierzu werden die Lautstärkesteuersignale in einem Gatter verknüpft (D3025) mit dessen Ausgang der Signalweg zum Piezosummer gesperrt bzw. freigegeben wird.

2.3.2. ROM/RAM

Die Baugruppe umfaßt den ROM-Bereich und den Arbeitsspeicher des KC85/4. Der ROM-Bereich ist gegenüber dem 85/3 auf 20 kByte vergrößert.

Hierin sind bereits im BASIC-Modul und im KC85/3 enthaltene BASIC-ROM U2364D45 (BM600) und das Betriebssystem CAOS 4.x enthalten. Letzteres verteilt sich auf einen 8 kByte-(EP)ROM, welcher auf der Adresse E000H liegt (D3210) und einen 4 kByte-(EP)ROM, welcher wahlweise zum BASIC-ROM auf die Adresse C000H geschaltet werden kann. Für den Memory-Adreßdekode (D3202) wird in Analogie zum I/O-Adreßdekode ebenfalls ein 256x4 Bit-PROM eingesetzt. /ROMC ist das Chipselektsignal für den BASIC-ROM, /BSON dient zum Aktivieren des Betriebssystems. Durch Verknüpfung mit dem Adreßbit ab13 werden daraus die Chipselektsignale für die beiden Betriebssystem-ROMs gebildet (D3214, D3223). Das Signal BLOCK0 wird für den Bildwiederholerspeicher benötigt.

Aus dem Signal MAD werden durch Verknüpfung mit ab10 (D3214, D3223) die beiden Signale /MAD8 und /MADC für die Modulschächte gebildet.

Als Arbeitsspeicher werden 8 Stück des 64kBit-DRAM's U2164 eingesetzt. Der Gesamtspeicherbereich wird durch die Speichersteuerung in 4 getrennt schaltbare Blöcke aufgeteilt. Der erste Block läßt sich ab Adresse 0000H und der zweite ab Adresse 4000H einschalten. Alle Blöcke können wahlweise auf die Adresse 8000H gelegt werden und dort als RAM-Disk verwendet werden. Für den ersten Block ist das aber praktisch nicht sinnvoll. Die Verwaltung mehrerer Speicherblöcke macht die Anwendung eines Multiplexers für die Zugriffs- und Schreibfreigabesignale der Blöcke erforderlich (D3201). Für den Adreßmultiplexer werden die Schaltkreistypen DL257 und DL253 verwendet. Die beiden DL257 (D3203 und D3204) dienen zur Adressierung innerhalb der Blöcke. Der DL253 (D3205) ist für die Umschaltung der Blöcke zuständig. Durch den Schaltkreis D3224 wird der CPU-interne 7 Bit-Refreshzähler extern erweitert. Die beiden zusätzlichen Refreshadreibits RF7 und RF8 werden in die Prozessoradreibsignale ab14 und ab15 eingeblendet und dem Adreßmultiplexer D3205 als a14 und a15 zugeführt.

In D3025, D3213 und 3214 wird aus /RAE, /IRE, /BSON, /ROMC und /mreq das für die Richtungssteuerung des bidirektionalen Datentreibers benötigte Signal /Mac gebildet. Die RAS/CAS Erzeugung unterscheidet sich von der im KC85/3. Das Kernstück der Schaltung ist eine Kette von drei mit einem gemeinsamen Takt (m0) angesteuerten D-Flip-Flops (Schaltkreis D3209), bei welchem der nichtnegierte Ausgang immer mit dem D-Eingang des nachfolgenden Flip-Flops direkt oder über ein Gatter verbunden ist. Ein RAS-Impuls ist immer dann zu bilden, wenn eine prozessorseitige Schreib- bzw. Leseanforderung oder ein Refreshzyklus vorliegt. Die Voraussetzungen hierfür sind gegeben, wenn Pin 1/D3209 auf H liegt (/mreq oder /m1 aktiv) und wenn Pin 4/D3209 ebenfalls auf H liegt (/RAS oder /rfsh aktiv). Bei Erfüllung beider Bedingungen wird mit der nächsten m0-L/H-Flanke der Flip-Flop-Ausgang umgeschaltet und damit der /RAS-Impuls erzeugt.

Mit der dann folgenden m0-Flanke schaltet das zweite Flip-Flop, wodurch der Adreßmultiplexer umgeschaltet wird (Signal U0). Sofern es sich bei dem Speicherzugriff nicht um eine Refresh, sondern um eine Schreib- oder Leseanforderung des Prozessors handelt, muß auch noch ein CAS-Impuls gebildet werden. Durch Verknüpfung der Signale U0, /rfsh, /rd und /WER entsteht ein Signal zur CAS-Freigabe. Der /CAS-Ausgang schaltet mit der nächsten Taktflanke und somit ist er gegenüber U0 um mindestens eine m0-Periode (bei WRITE mehr) verzögert.

Durch das Prinzip bedingt wird der WR-Eingang der RAMs immer vor dem /CAS aktiv. Das ist auch notwendig, weil nur unter dieser Bedingung die Datenausgänge der Speicher beim Einschreiben inaktiv sind und somit die unmittelbare Zusammenschaltung von Ein- und Ausgängen an den RAMs möglich ist.

2.3.3. BWS/VTG

2.3.3.1. Bildschirmorganisation

Der Bildwiederholpeicher enthält ebenfalls 64 kByte dRAM. Dieser Speicherbereich ist in 4 Blöcke zu je 16 kByte unterteilt, welche wahlweise auf der Adresse 8000H zugänglich sind. Hierdurch wurde es möglich, die Farbauflösung in vertikaler Richtung zu vergrößern und zwei Bilder wahlweise darzustellen. Die erste Seite (Block 0) enthält 10 kByte Pixelspeicher für das erste Bild. Der Rest des Blockes wird für Systemzellen und als Anwenderspeicher genutzt. Die Zuordnung der Speicheradressen zur Bildschirmposition hat sich gegenüber dem KC85/3 verändert. Die linke obere Ecke entspricht 8000H. Das unmittelbar darunter liegende Byte entspricht der Adresse 8001H, das nächste 8002H usw. Die linke untere Ecke entspricht 80FFH. Durch Erhöhen des höherwertigen Adreßbytes kommt man in die nächsten Spalten.

Dieses Prinzip ist auf der ganzen Bildschirmfläche einheitlich. Somit entspricht die rechte obere Ecke A700H und die rechte untere Ecke A7FFH. Die zweite BWS-Seite enthält den zugehörigen Farbspeicher. dieser enthält für jedes Pixelbyte ein Farbbyte und er ist adreßmäßig in der gleichen Form aufgebaut. Die Bedeutung der einzelnen Bits innerhalb des Farbbytes stimmt mit der beim KC85/3 überein. Die beiden übrigen Bildschirmseiten dienen als Pixel- und Farbspeicher für das zweite Bild. Die Wahl des darzustellenden Bildes erfolgt mit dem Signal „Bild“. Unabhängig davon wird eine Seite für den Prozessorzugriff ausgewählt. Damit besteht u.a. auch die Möglichkeit, das nicht dargestellte Bild zu verändern. Die Unterscheidung zwischen Pixel- und Farbspeicher erfolgt mit dem Signal BLA0 und mit dem Signal BLA1 erfolgt die Wahl des Prozessorzugriffs für Bild 1 oder 2. Wenn das Signal FPIX low ist, wird in einen anderen Farbmodus umgeschaltet. In diesem Fall wird das Farbbyte ebenso serialisiert ausgegeben wie das Pixelbyte. Wenn in beiden Speicherblöcken ein Bit auf der gleichen Adresse Null gesetzt ist, erscheint auf dem Bildschirm die Farbe schwarz. Wenn das Bit nur im Pixelspeicher gesetzt ist, erscheint ein rotes Pixel, bei nur im Farbspeicher gesetztem Bit an der gleichen Position ein türkisfarbenes Pixel. Beim Setzen beider Bits wird das Pixel weiß.

Beispiel:

Adresse 8000H im Pixelspeicher 33H:

0 0 1 1 0 0 1 1

Adresse 8000H im Farbspeicher 0FH:

0 0 0 0 1 1 1 1

linke obere Bildschirmecke:

schwarz rot türkis weiß

2.3.3.2. Schaltungsbeschreibung

Der VTG des KC85/4 hat gegenüber dem des KC85/3 keine wesentlichen Veränderungen. Die bemerkenswertesten Änderungen sind der Ersatz des Schaltkreistyps D172D durch den DL074D für die /ZI-Erzeugung und der Wegfall des Signals /RAI. Als Speicherschaltkreistyp wird der U2164 C20 bzw. 20/1 eingesetzt. Typen mit größerer Zugriffszeit sind nicht geeignet. Beim KC85/4 wurden die sichtbaren Bildschirmzugriffe beseitigt. Beim KC85/3 war bekanntlich das einer Zeichenbreite entsprechende Zeitintervall in zwei Abschnitte für das Auslesen der Pixel- und Farbinformation unterteilt. Der sichtbare Zugriff entstand dadurch, daß beim Prozessorzugriff das Speicherauslesen für den Bildaufbau für eine Zeichenbreite unterbrochen wurde und statt dessen ein von den Prozessorsteuersignalen abgeleitetes /CAS eingeblendet wurde. Im Unterschied dazu wird beim KC85/4 das gleiche Zeitintervall in drei Abschnitte unterteilt (auf Grund der kürzeren Zugriffszeit der Speicherschaltkreise möglich), wobei das erste Intervall für den Prozessorzugriff reserviert ist und in den beiden anderen Abschnitten ein Auslesen von Pixel- und Farbinformationen im Page-Modus erfolgt.

Hieraus ergeben sich natürlich wesentliche Veränderungen in der Bildung der Speichersteuersignale /RAS, /WRITE, /WAIT, duz, duf und der Multiplexerumschaltssignale S0 bis S2 (siehe Taktdiagramm).

Neu hinzugekommen ist das Signal *dup*, welches in Analogie zu den Signalen *duz* und *duf* beim Bildaufbau zur Einspeicherung der RAM-Ausgangsdaten in das Ausgaberegister für den Prozessorzugriff (D3421) dient.

In D3430 werden die Signale zur Auswahl der Speicherseite (BLA0 und BLA1) mit dem Signal *BLOCK0* verknüpft. Diese Verknüpfung hat folgende Aufgabe:

Im Bereich der ersten BWS-Seite oberhalb von 0A300H liegen Arbeitszellen des Betriebssystems. Damit diese Zellen unabhängig von der gerade eingestellten Speicherseite zugänglich sind, wird bei einem Prozessorzugriff auf den die Arbeitszellen enthaltenden Adreßbereich mit dem Signal *BLOCK0* zwangsläufig auf die erste Bildspeicherseite umgeschaltet. Weil beim KC85/4 der Unterschied in der Adressierung des linken und des rechten Bildteiles entfällt, genügt im Adreßmultiplexer (D3409 ... D3412) ein Schaltkreistyp mit 4 Eingängen pro Ausgang (DL253). Das Signal *S0* bewirkt eine Umschaltung zwischen höher- und niederwertigem Adreßteil. Mit *S1* wird zwischen Prozessor- und VTG-Zugriff entschieden. *S2* dient beim VTG-Zugriff zur Unterscheidung von Pixel- und Farbspeicher. Die 8fach-D-Flip-Flops D3421 bis D3423 übernehmen die Funktion der im KC85/3 eingesetzten Bustreiber DS8212. D3421 ermöglicht das Rücklesen in den BWS eingeschriebenen Informationen über den Datenbus. Die Datenübernahme in das Flip-Flop erfolgt bei jedem Zeichenzyklus mit dem *dup*-Impuls unabhängig davon, ob die Information vom Prozessor wirklich genutzt wird. Falls wirklich ein Lesezugriff vom Prozessor erfolgt, werden die im Ruhezustand hochohmigen Ausgänge von D3421 mit dem Signal */OED* aktiviert. Falls der Prozessorzugriff nicht in das Zeitraster der VTG-Zugriffe paßt, erfolgt eine Zugriffssynchronisation mittels */WAIT*. D3422 speichert die Pixel- und D3423 die Farbinformation. Durch die Widerstände R3404 bis R3406 werden die Leitungen für die Hintergrundfarben (DF0...DF2) auf Low-Pegel gezogen, wenn die Ausgänge von D3423 mit *inf* hochohmig geschaltet sind. Hierdurch werden die Hintergrundfarben in die Dunkeltastung des Bildschirmrandes einbezogen. Die Serialisierung des Pixelbytes erfolgt im Unterschied zum KC85/3 mit einem 8-Bit-Schieberegister, welches mit *m0* getaktet wird. Die Übernahme des Pixelbytes wird mit *duf* gesteuert. Durch die Speicherung in den Flip-Flops des Schieberegisters wird der zweite beim KC85/3 vorhandene, mit *duf* angesteuerte Pixelzwischenspeicher (DS8212) überflüssig. Das Rücksetzen des Schieberegisters mit *inf* dient auch zur Dunkeltastung des Bildschirmrandes. Zur Serialisierung des Farbspeicherinhaltes für den hochauflösenden Farbmodus ist ein zweites Schieberegister (D3427) vorhanden. Zur Erzeugung der Signale */EB*, */ER*, */EG* und */EX* werden statt ausgangsseitig parallelgeschalteter Open-Collector-Gatter wie beim KC85/3 Multiplexerschaltkreise (D3425/D3426) eingesetzt. In diesen Multiplexern wird auch die Umschaltung auf den zweiten Farbmodus realisiert.

2.4. Videoleiterplatte

Beim KC85/4 ist statt des Kanal-8-Modulators ein Kanal-36-Modulator eingesetzt. Dieser ist direkt an die 12V-Spannung angeschlossen. Damit entfallen die beim KC85/3 erforderlichen Bauelemente für die 9V-Stabilisierung (R4418, VT4405, VD4412, C4402). Die *vcot*-Leitungen zu D4409 und zur Computer-LP werden im Unterschied zum KC85/3 über getrennte Treibergatter (D4407, Pin 1 bis 4) geführt. Zusätzlich ist in die *vcot*-Leitung zur Computer-LP analog zum Prozessortakt ein Entstörglied eingebaut. Dieses besteht bei *vcot* aus einem Widerstand mit Ferritperlen auf den Anschlußdrähten (R4434) und dem Kondensator C4420. Weitere Änderungen gegenüber den Vorgängertypen gibt es nicht.

2.5. Modulator

2.5.1. Allgemeines

Auf der Video-LP des KC befindet sich der UHF-Modulator als kompakter Baustein in geschirmter Technik. Mittels dieser Baugruppe wird das FBAS des KC auf einen UHF-Träger geprägt und über Koaxkabel als HF-Signal dem Antenneneingang des FS-Gerätes zugeführt.

2.5.2. Technische Daten

- Arbeitsfrequenz Bildträger	$f_{\text{HF}} = 591,25 \text{ MHz} \pm 250 \text{ kHz}$
- Bandbreite des Kanals	7,5 MHz
- HF Ausgangsleistung	$U_{\text{HF}} = 1 \dots 6 \text{ mV an } 75 \text{ Ohm}$
- Art der Bildmodulation	A5C negativ
- FBAS-Eingangsspannung	$+U_{\text{FBAS}} = 2 V_{\text{SS}} \text{ an } 330 \text{ Ohm}$
- Gleichspannungsversorgung	$U = +12\text{V} \pm 10\%$
- Stromaufnahme	$I_{\text{max}} = 15\text{mA}$ (typisch 10 mA)
- Gehäuseabmessungen	L B H 55 x 55 x 21 mm

2.5.3. Aufbau und Wirkungsweise

Der Modulator ist auf einer quadratischen LP aufgebaut, die durch die Abschirmung in 2 Kammern aufgeteilt ist. Die Abschirmung ist mit Deckel versehen. In der kleinen Kammer ist der UHF-Oszillator untergebracht. Mit VT5101, L5101 und C5101 wird der UHF-Oszillator gebildet, dessen Träger (591,25 MHz / K36) über einen kapazitiven Teiler auf den Emitter von VT5102 eingekoppelt wird. Am Kollektor von VT5102 über C5107 steht das bildmodulierte HF-Signal für den FS-Empfänger zur Verfügung.

2.5.4. Abgleich

Der Abgleich erfolgt mittels Digitalzähler mit 900 MHz-Vorteiler und Vorverstärker oder SMV 8.5. Durch Biegen von L5101 wird die Frequenz auf $591,25 \pm 0,25 \text{ MHz}$ festgelegt. Einregeln des Arbeitspunktes mit R5111 nach visueller Beurteilung des Farbbalkenbildes und der Synchronisation.

3. Reparaturhinweise

3.1. Lötbrückenübersicht

Beim KC85/4 besteht die Möglichkeit, durch Lötbrücken (Kurzschlußstecker KS10) bestimmte Baugruppen abzuschalten. In folgender Tabelle sind die für den Reparaturfall wichtigen Brücken und ihre Funktion zusammengestellt:

Brücke	im Normalzustand bestückt	Bedeutung
RB3002	ja	- bidirektionaler Datentreiber D3004 (DS8286) wird hochohmig geschaltet - kann zur Fehlersuche bei Buskonflikten verwendet werden
RB3003	nein	- Abschalten des internen Betriebssystem-ROMs auf 0E000H - Bei Benutzung des Prüfmoduls PK2 muß Brücke immer bestückt sein.
RB3004	ja	- Ausgänge des I/O-Adreßdekoders werden hochohmig und damit auf high geschaltet
RB3202	nein	- /RAS-/CAS-Erzeugung des Arbeitsspeichers wird abgeschaltet - kann Zur Fehlersuche bei Buskonflikten verwendet werden
RB3203	ja	- Ausgänge des MEMORY-Adreßdekoders werden hochohmig und damit auf high geschaltet
RB3401	nein	- Rücksetzimpuls des Horizontalzählers (VTG) wird abgeschaltet
RB3402	nein	- Rücksetzimpuls des Vertikalzählers (VTG) wird abgeschaltet
RB3403	nein	- Signal /OED für das Datenausgaberegister des Bildwiederholerspeichers wird unwirksam - kann zur Fehlersuche bei Buskonflikten verwendet werden

3.2. Hinweise zu einzelnen Baugruppen

3.2.1. ZVE-E/A-Steuerung

Bedingt durch den bidirektionalen Datentreiber unterteilt sich der Datenbus in zwei gegeneinander entkoppelte Teilsysteme (DB0...7 zwischen CPU und Treiber, db0...7 zwischen Treiber und übrigen grundgeräteeigenen Baugruppen. Somit sind folgende Fehlerarten beim Datenbus zu berücksichtigen:

- Unterbrechung und Schlüsse vor dem Treiber
- Unterbrechung und Schlüsse nach dem Treiber
- Fehler des Treiberschaltkreises
- Fehler der Richtungssteuerung

Das erste bei Datenbusfehlern anzustrebende Ziel besteht darin, daß die CPU in Verbindung mit dem Prüfmodul PK2 läuft. Im Bedarfsfall ist RB3003 zur Abschaltung des Treibers einzusetzen. Unter dieser Voraussetzung lassen sich bei laufenden Prüfprogrammen nach dem Treiber liegende Fehler und Fehler in der Richtungssteuerung durch oszillografische Signalverfolgung relativ leicht eingrenzen. Beim Kassetten- und Tastatureingang ist zu beachten, daß die /ASTB- bzw. /BSTB-Impulse am PIO-Schaltkreis auf Grund der Verknüpfung mit ARDY bzw. BRDY nur vorhanden sind, wenn die programmmäßige Interruptbehandlung läuft. Die hardwaremäßige Signalkontrolle ohne laufendes Prüfprogramm bzw. Betriebssystem muß also an den Eingängen von D3021 erfolgen. Bei der Abarbeitung des Tonprüfprogrammes ist nicht nur die Funktion des Piezosummers zu kontrollieren, sondern es müssen auch beide Tonkanäle an der Diodenbuchse und der Tonausgang am Videointerface überprüft werden (oszillografisch oder durch Anschluß eines geeigneten Tonwiedergabegerätes).

3.2.2. ROM / RAM

Für die Funktion des Betriebssystems ist es Voraussetzung, daß beide CAOS-ROMs in Ordnung sind. Folgendes Fehlerbild ist für den U2732 typisch:

- Beim Einschalten des Gerätes erfolgt kein Menüaufbau
- Nach Drücken der RESET-Taste wird das Menü aufgebaut und Eingaben über die Tastatur (Zeichen, Cursorsteuerung) sind möglich.
- Die Programme des Menüs funktionieren nicht oder nur teilweise.

Bei Buskonflikten hinter dem Datentreiber besteht die Möglichkeit, die /RAS-/CAS-Erzeugung des Arbeitsspeichers mit RB3202 außer Betrieb zu setzen und damit zur Fehlereinkreisung die Datenausgabe des Arbeitsspeichers auf den Bus zu verhindern. Bei der Suche nach Verkopplungen darf auch die vom U2164 nicht benötigte Adreßleitung A8 nicht vergessen werden. Diese kann unter Umständen mit anderen Signalen verkoppelt sein und dort fehlerhafte Pegel verursachen. Falls zu falschen Zeitpunkten Schreibimpulse gebildet werden, kommt unter anderem als Ursache R3204 in Betracht. Durch diesen Widerstand wird der Ausgang 9 von D3201 auf definierten low-Pegel gezogen, wenn der Ausgang mit der /wr-Leitung hochohmig geschaltet ist.

3.2.3. BWS / VTG

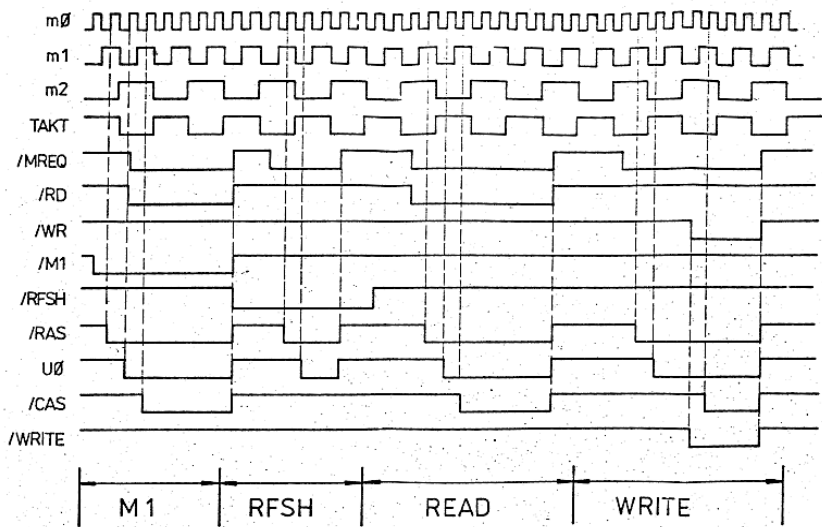
Falls das Bild nicht oder fehlerhaft dargestellt wird, kann das außer an den KC85/3 bekannten Ursachen auch an Fehlern der Seitenumschaltung (BLA0, BLA1, BLOCK0) der Wahl des dargestellten Bildes oder des eingestellten Farbmodus liegen. Diese Signale sind im Zweifelsfall mit dem vom Programm „beabsichtigten“ Zustand zu vergleichen.

Fehlerberichtigung zum Stromlaufplan KC 85/4 (Ausgabe 06/88)

(Zeichnungs-Nr. 4484.380-00001 (Sp))

- C3035 (1 μ F) entfällt
- Der mit R3204 verbundene Ausgang vom D3201 hat die Pin-Nr. 9
- Pin 4 vom D3203 hat die Signalbezeichnung A0
- Pin 6 vom D3205 hat die Bus-Nr. 222
- Pin 13 von D3209 hat die Bezeichnung D4 statt D7
- Pin 27 von D3211 ist mit dem Signal ROF0 belegt
- Pin 26 von D3211 ist mit dem Signal ROF1 belegt
- Pin 13 von D3441 hat die Bus-Nr. 206 (Gatter auf Stromlaufplan ROM/RAM dargestellt)
- Pin 11 von D3208 ist ein nichtnegierter Ausgang
- An Pin 4 von D3439 fehlt die Signalbezeichnung S0

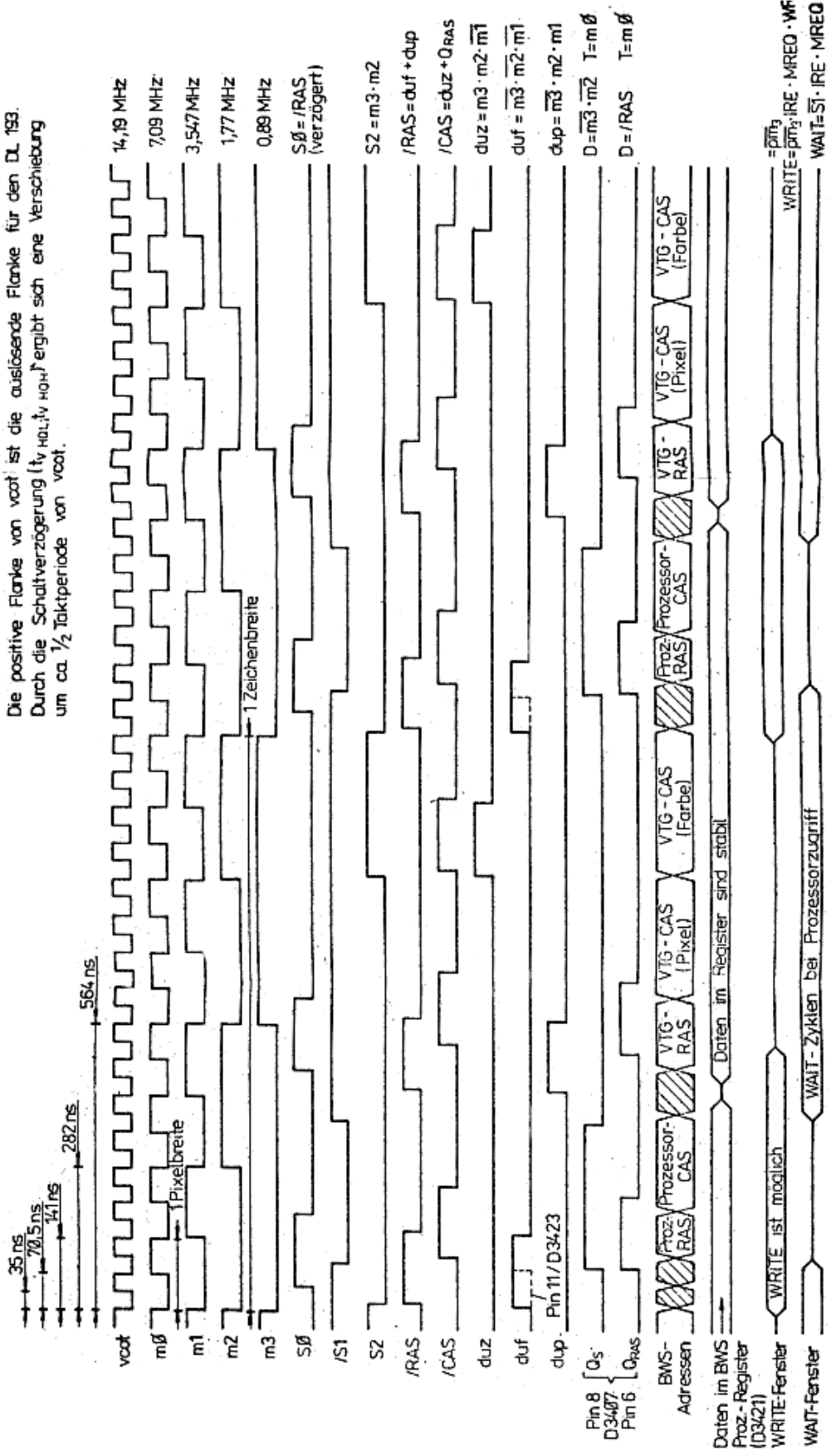
Anhang 1: Taktdiagramm Arbeitsspeicher KC85/4



Arbeitsspeicher im KC 85/4

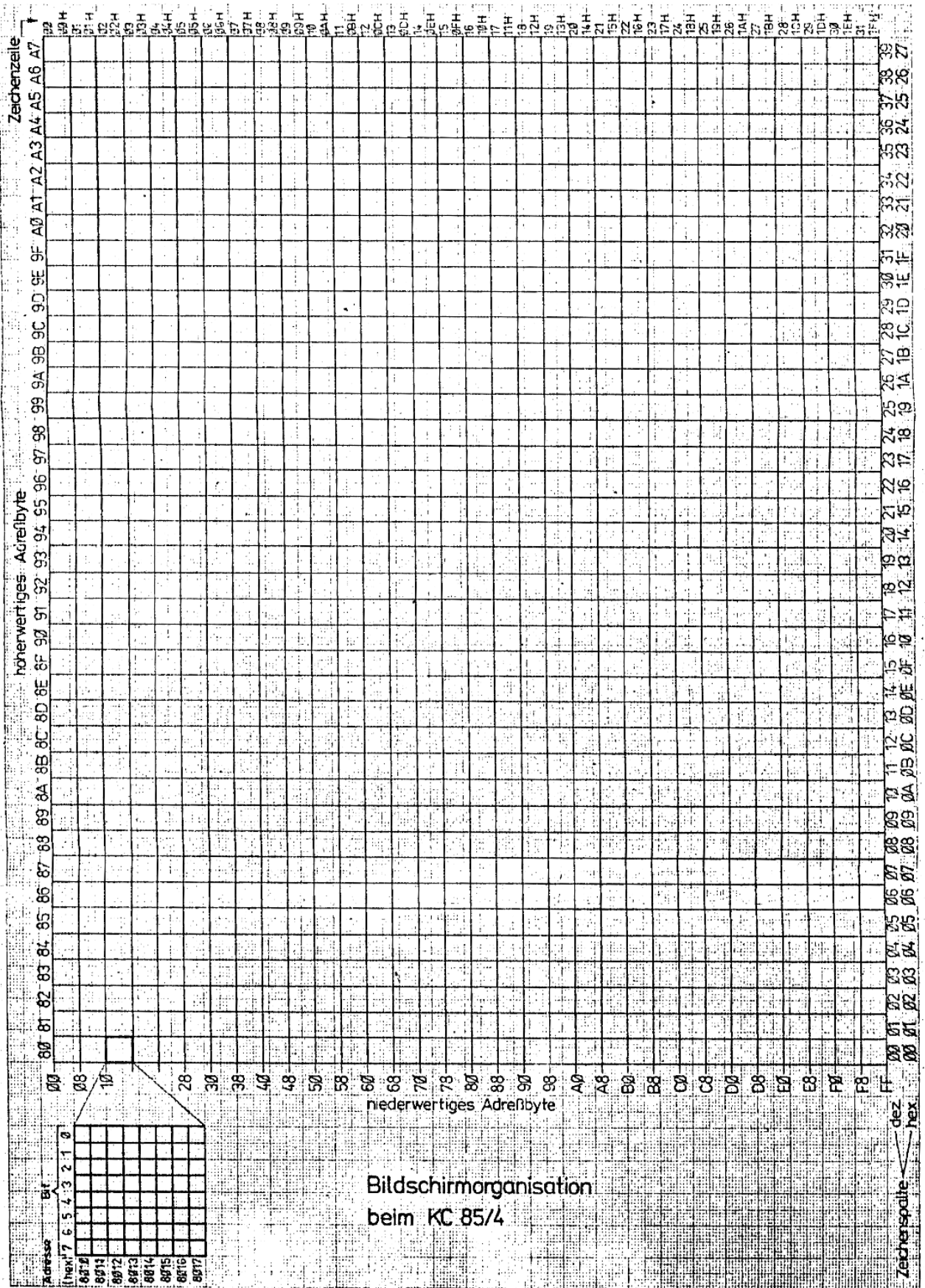
Anhang 2: Taktdiagramm Bildwiederholpeicher KC85/4

Die positive Flanke von $voot$ ist die auslösende Flanke für den DL 193. Durch die Schaltverzögerung ($t_{\text{HOL}} \cdot t_{\text{HOL}} \cdot t_{\text{HOL}} \cdot t_{\text{HOL}}$) ergibt sich eine Verschiebung um ca. $\frac{1}{2}$ Taktperiode von $voot$.



Bildwiederholpeicher im KC 85/4

Anhang 3: Bildschirmorganisation KC85/4



Bildschirmorganisation
beim KC 85/4