

Änderungen		Datum	Name	Bezeichnung: <b>Modul M061 3fach E/A-Modul</b>	Blattzahl: <b>3</b>
Datum	Name	gez.:	27.10.2010		M. Leubner
02 / 2008		gepr.:			Blatt-Nr.: <b>1</b>
<i>nach Handskizze von E. Mueller</i>				Zeichnungs-Nr.: <b>Schaltplan</b>	veb mikroelektronik "Wilhelm pieck" mühlhausen

A

B

C

D

E

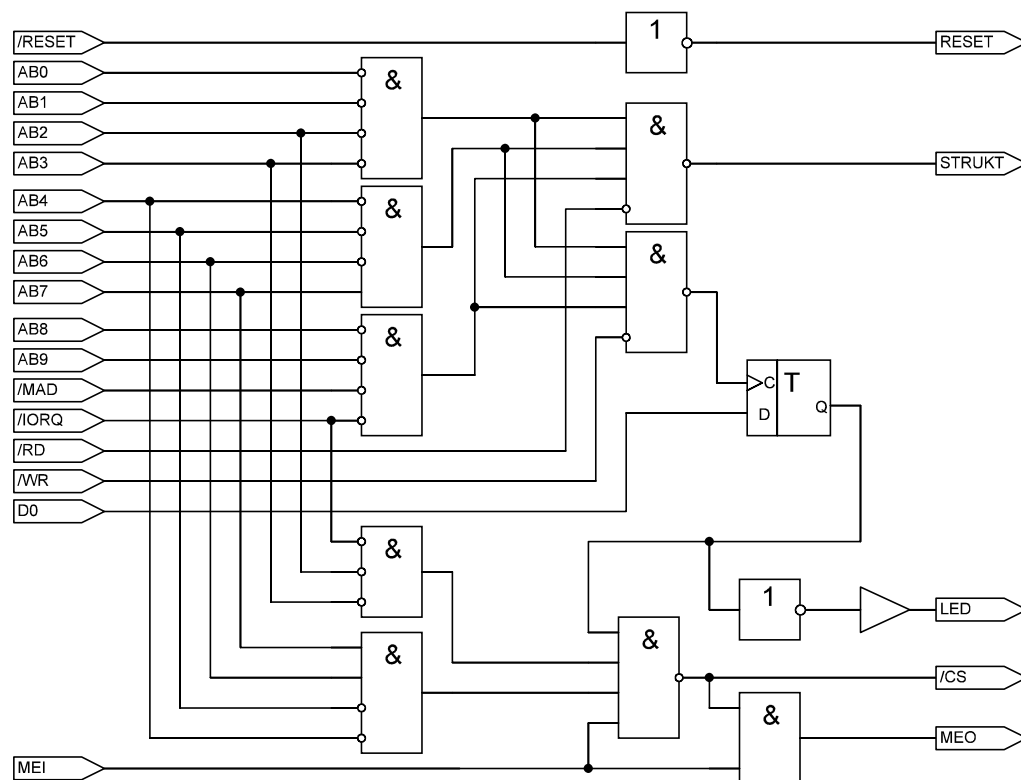
F

1

2

3

4

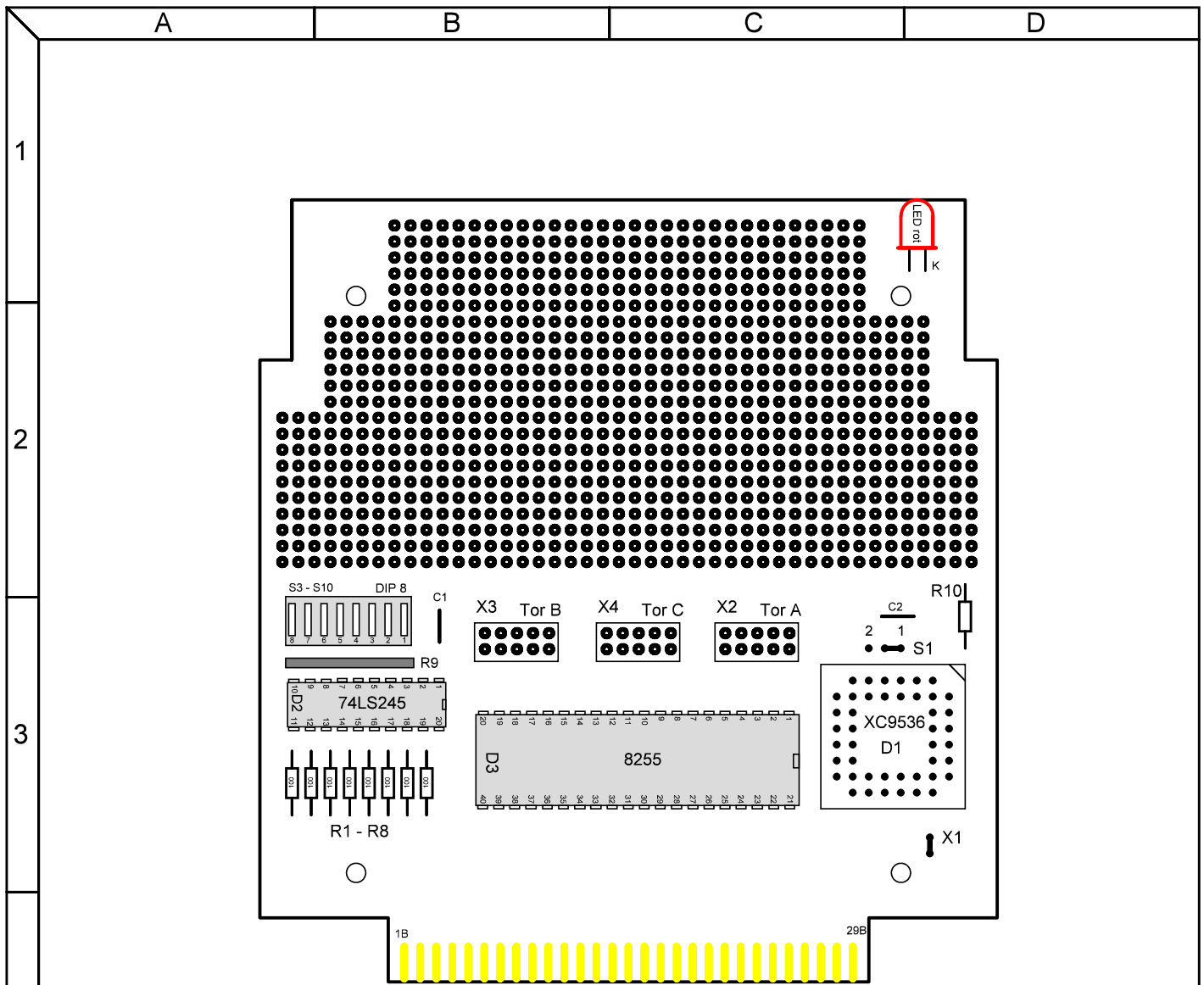


```

1 #PACE: Start of Constraints generated by PACE
2
3 #PACE: Start of PACE I/O Pin Assignments
4 NET "AB0" LOC = "P13" ;
5 NET "AB1" LOC = "P14" ;
6 NET "AB2" LOC = "P11" ;
7 NET "AB3" LOC = "P12" ;
8 NET "AB4" LOC = "P9" ;
9 NET "AB5" LOC = "P8" ;
10 NET "AB6" LOC = "P4" ;
11 NET "AB7" LOC = "P3" ;
12 NET "AB8" LOC = "P2" ;
13 NET "AB9" LOC = "P1" ;
14 NET "/IORQ" LOC = "P43" ;
15 NET "/WR" LOC = "P44" ;
16 NET "/RD" LOC = "P38" ;
17 NET "STRUKT" LOC = "P37" ;
18 NET "LED" LOC = "P29" ;
19 NET "D0" LOC = "P28" ;
20 NET "/MAD" LOC = "P22" ;
21 NET "MEO" LOC = "P20" ;
22 NET "MEI" LOC = "P19" ;
23 NET "/CS" LOC = "P35" ;
24 NET "/RESET" LOC = "P18" ;
25 NET "RESET" LOC = "P33" ;
26
27
28 #PACE: Start of PACE Area Constraints
29
30 #PACE: Start of PACE Prohibit Constraints
31
32 #PACE: End of Constraints generated by PACE
33

```

Änderungen		Datum	Name	Bezeichnung:	Blattzahl: 3
Datum	Name	gez.:	27.10.2010		
02 / 2008		gepr.:			Blatt-Nr.: 2
		<i>nach Handskizze von E. Mueller</i>		Zeichnungs-Nr.:	CPLD-Logik <small>veb mikroelektronik "Wilhelm pieck" mühlhausen</small>



## Stückliste:

- A1 = Leiterplatte
- B1 = LED rot
- C1,C2 = 100n
- D1 = Xilinx XC9536
- D2 = 74 LS 245
- D3 = PPI 8255
- R1-R8 = 100
- R9 = 8x10k
- R10 = 330
- S1 = Jumper (Wechsler)
- S2-S9 = DIL-8
- X1 = Jumper

Änderungen		Datum	Name	Bezeichnung <b>Modul M061</b> 3fach E/A-Modul	Blattzahl: 3	
Datum	Name	gez.: 27.10.2010	M. Leubner			
02 / 2008		gepr.:				Blatt-Nr.: 3
<i>nach Handskizze von E. Mueller</i>				Zeichnungs-Nr.: <b>Bestückungsplan &amp; Stückliste</b>	vcb mikroelektronik "wilhelm pieck" mühlhausen	